|  |
| --- |
|  |
| **석사학위논문** |
|  |
| **미정(국문)** |
|  |
| **미정(영어)** |
|  |
| **김진민** |
|  |
| **한양대학교 대학원** |
|  |
| **2024년 8월** |
|  |

|  |
| --- |
|  |
| **석사학위논문** |
|  |
| **미정(국문)** |
|  |
| **미정(영어)** |
|  |
| **지도교수 조한신** |
|  |
| **이 논문을 공학 석사학위논문으로 제출합니다.** |
|  |
| **2024년 8월** |
|  |
| **한양대학교 대학원** |
|  |
| **미래자동차공학과 (미래자동차-SW 융합전공)** |
|  |
| **김진민** |
|  |

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | | | | |
| **이 논문을 김진민의 석사학위 논문으로 인준함** | | | | |
|  | | | | |
| **2024년 8월** | | | | |
|  | | | | |
|  | **심사위원장:**  **심사위원:**  **심사위원:** | **유 지 형**  **윤 상 원**  **윤 영 두** |  |  |
|  | | | | |
| **한양대학교 대학원** | | | | |
|  | | | | |

차 례

[차 례 i](#_Toc153286699)

[List of Tables iii](#_Toc153286700)

[List of Figures iv](#_Toc153286701)

[국문 요지 vi](#_Toc153286702)

[제1장 서 론 1](#_Toc153286703)

[1.1 연구 배경 및 필요성 1](#_Toc153286704)

[1.2 연구 목표 3](#_Toc153286705)

[제2장 이론적 배경 6](#_Toc153286706)

[2.1 Wide Band Gap (WBG) 반도체 6](#_Toc153286707)

[2.2 파워모듈 8](#_Toc153286708)

[2.3 파워모듈 Qualification 11](#_Toc153286709)

[제3장 시뮬레이션 14](#_Toc153286710)

[3.1 3D 모델링 14](#_Toc153286711)

[3.2 Mesh 및 Boundary Condition 16](#_Toc153286712)

[3.3 Steady-State Thermal Analysis 19](#_Toc153286713)

[3.3.1 Si 19](#_Toc153286714)

[3.3.2 Si vs SiC 23](#_Toc153286715)

[3.3.3 분석 26](#_Toc153286716)

[3.4 Steady-State Structure Analysis 27](#_Toc153286717)

[3.4.1 Si 27](#_Toc153286718)

[3.4.2 Si vs SiC 31](#_Toc153286719)

[3.4.3 분석 33](#_Toc153286720)

[3.5 Parasitic Inductance Extraction 33](#_Toc153286721)

[제4장 실험 방법 및 결과 35](#_Toc153286722)

[4.1 샘플 제작 36](#_Toc153286723)

[4.2 모듈 검증(QM) 38](#_Toc153286724)

[4.2.1 Testing Interconnection Layers 38](#_Toc153286725)

[4.2.2 VF 40](#_Toc153286726)

[4.3 열 저항 측정(QC) 41](#_Toc153286727)

[4.3.1 실험 환경 41](#_Toc153286728)

[4.3.2 실험 결과 및 분석 43](#_Toc153286729)

[제5장 결론 45](#_Toc153286730)

[Reference 46](#_Toc153286731)

[ABSTRACT 49](#_Toc153286732)

List of Tables

List of Figures

국문 요지

제1장 서 론

## 1.1 연구 배경 및 필요성

## 1.2 연구 목표

## 1.3 논문 구성

제2장 이론적 배경

2장에서는 본 연구 논문을 이해하기 위해 필요한 기본적인 내용을 기술한다. 본 연구 주제인 Four Wheel Drive Vehicles 횡방향 제어 향상을 위한 Vehicle Dynamics, Robust Control 중의 하나인 Sliding Mode Control(SMC), 마지막으로 SMC에서 성능 향상을 위한 시스템 모델의 불확실성 예측 기법에 대해 설명한다.

## 2.1 Vehlcie Dynamices

### 2.1.1 Vehicle Model

Four Wheel Drive Vehicles의 횡방향 제어를 위해서는 차량의 각 운동량 평형식은 식2.1과 같다.

여기서 차량의 z축 관성 모멘트, 차량의 Yaw 각가속도, 4 바퀴와 지면에서 발생하는 x축 마찰력, 4 바퀴와 지면에서 발생하는 y축 마찰력, 는 차량의 조향각, a 무게 중심과 바퀴 앞의 축 간의 거리, b 무게 중심과 바퀴 뒤의 축 간의 거리, M은 바퀴에서 발생하는 Torque Alignment, 은 각각 전륜과 후륜 바퀴 축 사이 간격을 뜻한다.

식 2.1에서 우변의 경우 두개로 나눌 수 있다. 식 2의 값은 모터에 출력을 조절해서 조절이 가능하고 또한 측정이 가능한 변수들로 이루어져 있다. 하지만 식 3의 경우 바퀴의 횡방향 마찰력을 포함하기 때문에 측정에 한계가 있다.

[Fig. 2.1 Top View of Vehicle]



### 2.1.2 Steering Model

차량의 조향에 따른 차량의 횡방향 운동 방정식을 계산하기 앞서, 4 바퀴를 전부 고려하는 것이 정확도가 높다. 하지만, 이 방법은 계산에 복잡성을 증가시키고, 일반적인 주행조건에서는 조향각 의 값이 상대적으로 작기 때문에 Bicycle Model로 고려하여 계산하여도 큰 차이가 없다. 따라서 본 논문에서 제어기의 간소화를 위하여 Bicycle Model로 고려하여 진행하였다. [2]

식 2.3은 차량 속도에 따른 추가적인 힘을 고려하지 않고 전륜 조향에 따른 차량의 회전 반경을 구한 것으로 Ackerman Angle로 정의된다. 여기서 는 차량의 조향각, R 차량의 회전 반경, a는 차량의 중심과 전방 바퀴 축 간의 거리, b는 차량의 중심과 후방 바퀴 축 간의 거리를 뜻한다. [Bosh]

하지만 차량 운행 중 조향이 발생하면 차량 속도에 의해 횡방향과 종방향 힘이 동시에 발생하게 된다. 이로 인해 Figure 2.3와 같이 차량이 바퀴의 방향과 일치하지 않는 방향으로 이동하는 현상을 발생시킨다. 여기서 차량과 타이어의 진행 방향 사이의 각도 를 슬립 각(Slip Angle)으로 정의한다. [Bosh]

슬립 각을 고려한 차량 조향각에 따른 차량의 회전반경은 식 2.4과 같다. 여기서 L은 차량의 길이, R은 차량의 회전 반경, K는 Understeer gradient이다. 여기서 Understeer gradient K의 값에 따라 차량의 조향이 Ackerman Angle와 같은 중립 조향(Neutral Steer, K=0), 보다 작은 부족 조향(Under Steer, K > 0), 보다 과해지는 과대 조향(Over Steer, K< 0)이 발생한다.

일반적인 차량들은 안정성을 위해 고속 주행 시 부족 조향(Under Steer) 현상이 일어나도록 설계된다. 하지만 본 논문에서는 Torque Vectoring을 활용하여, 레이싱 차량이 고속에서도 더 높은 조향성을 목표로 하기에 차량을 중립 조향(Neutral Steer) 상태로 제어하는 것을 목표로 한다. 이를 위해, 차량 조향각에 따른 차량의 Yaw 속도는 식 2.5와 같다. 여기서 는 차량의 속도를 뜻한다. 본 논문의 목표는 중립 조향이므로 식 2.6에 K=0을 대입하면 목표 Yaw 속도가 나온다. [Bosh]

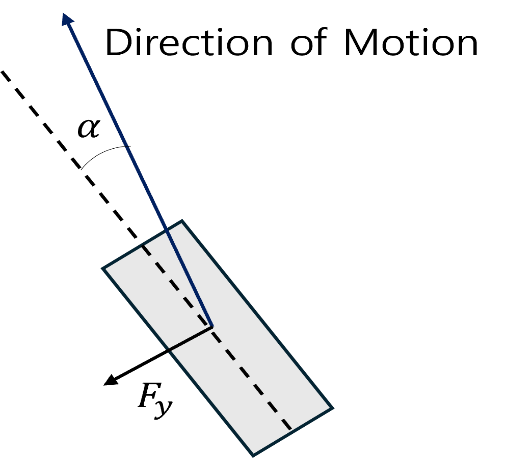
[Fig. 2.2 Ackerman Angle]



[Fig. 2.4 Bicycle Model]



[Fig. 2.3 Slip Angle of Tire]



[Fig. 2.5 Under Steer, Neutral Steer, Over Steer]



## 2.2 Sliding Model Control

Sliding Mode Control(SMC)은 비선형 제어 기법 중 하나로, 외부의 변동이나 불확실성에 대한 높은 저항성(Robust)을 보여주는 제어 방법이다.[추가필요] SMC의 핵심은 시스템이 원하는 성능 기준을 만족할 수 있는 슬라이딩 표면(Sliding Surface)이라는 또 하나의 상태 공간을 정의하는 것이다. 시스템이 이 슬라이딩 표면 위에 도달하면 표면의, 경계(Boundary)를 따라 미끄러지면서(Slide) 수렴하게 되는데, 이러한 과정 때문에 Sliding Surface Control라고 불러진다. 하지만 SMC는 제어 신호가 빠르게 전환되면서 시스템에 불필요한 성능 유발하는 채터링(Chattering)이라는 단점이 있다. 이를 저감하기 위해서 Boundary Layer을 추가하거나, 저주파 필터를 추가하거나, SMC 제어 값에 포함되는 이득 계수의 조절, 모델의 정확도를 개선하는 방법 등이 있다. Boundary Layer는 연속적인 제어 법칙을 적용하여 제어 신호의 급격한 변화를 줄임으로서 채터링을 감소시키지만, 정확도가 떨어질 수 있다. 저주파 필터는 제어 신호의 고주파 성분을 제거함으로써 진동을 줄일 수 있지만, 시스템의 응답 속도를 감소시킬 수 있다. 또한 이득계수를 조절함으로써 급격한 변동을 완화할 수 있지만, 이득 계수 조정에 관한 추가 개발이 필요하다. 마지막으로 모델의 정확도를 증가시킴으로써 이득 계수의 최솟값을 감소시킬 수 있고 채터링을 감소할 수 있다.[추가 필요]

본 논문에서 사용하는 차량의 운동 방정식은 식 2.1과 같다. 이를 기반으로 슬라이딩 표면을 설정하면 식 2.7와 같다. 식 2.7에서 는 슬라이딩 표면을, 목표로 하는 각속도를 뜻한다. SMC의 목표 값은 을 만족시키는 것이다. 외란 d(t)와 에 식 2.1의 값을 대입하여 정리하면 식2.9가 계산된다. 여기서 는 센서로 측정할 수 없는 값이므로 예측 기법이 추가로 필요하면 이는 2.3절에서 다룬다. 식 2.10은 제어 입력 값 의 식으로 식 2.9에서 외란 를 제외한 후 나머지 변수들을 우변에 정리하 후 외란을 잡아줄 Switching Term 을 우변에 추가한 것이다.

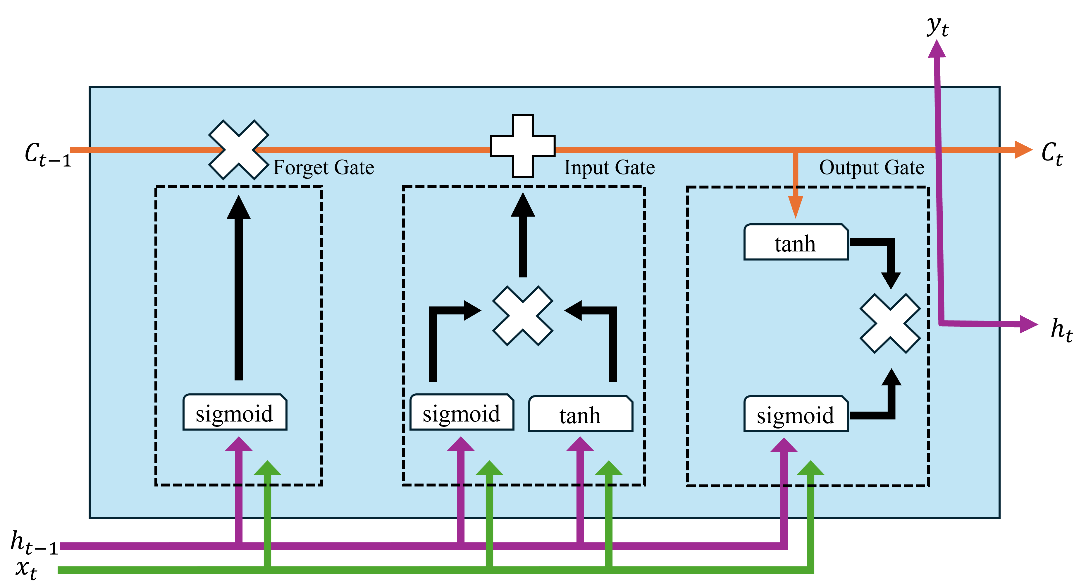
설정한 제어 입력 값이 시간에 따라 수렴을 하는지 확인하기 위하여 Lyapunov stability를 실시한다. Lyapunov stability에서 locally positive definite function 는 을 만족하고, 을 만족할 때 안정성을 보장한다. [추가 필요] 으로 정의한 후, 을 만족하는 식을 찾으면 식 2.22와 같다. 을 만족시키기 위하여 이를 만족시키는 을 설정한다면 위의 모델은 항상 수렴할 수 있다.

## 2.3 Long Short-Term Memory (LSTM)

순환 신경망(Recurrent Neural Networks, RNN)은 시간에 따라 변화하는 데이터를 처리하는데 있어 사용되어 왔었다. 하지만 연속된 데이터가 길어질 수록 앞서 입력된 정보를 장기간 유지하지 못하던 장기 의존성 문제라는 한계가 있었다. LSTM은 이러한 한계를 해결하기 위해 고안되었으며, 이후 많은 연소된 데이터의 처리에 활용되어졌다. [LSTM]

LSTM의 핵심 구조는 Cell State 한 개와 Input Gate, Forget Gate, Output gate 3개를 추가하여 Cell State 정보를 계속 해서 조정해서 다음 단계로 전달하는 것이다. 여기서 Input Gate는 새로운 정보를 Cell State에 추가할 것인지를 결정하고, Forget Gate는 어떤 정보를 제거할 것인지, 마지막으로 Output Gate는 어떠한 정보를 출력할지 결정한다. Fig 2.6은 LSTM 모델을 도식화한 모습으로 C는 Cell State, h는 hidden State, x는 입력 값, y는 출력 값에 해당한다.

[Fig. 2.6 LSTM]



본 논문에서는 LSTM 모델을 사용하여 2.1절에서 언급한 차량 내부 센서로 측정할 수 없는 값을 차량 내부 센서 데이터를 기반으로 예측한다. 예측된 값을 사용하여 2.2절에 언급된 SMC의 제어 성능 향상을 목표로 하였다.

## 2.4 Boruta Algorithm

딥러닝은 Scale이 커질수록 정확도가 높아지는 경향성을 보이지만, 이러한 Scale 증가는 더 많은 Computing Power를 요구하며, 이는 연산 시간의 증가로 직결된다. 이는 Real-Time System에서 치명적인 문제를 발생시킨다. 따라서, 딥러닝 모델의 경량화를 통해 정확도와 연산 속도를 최적화가 중요하다. [2.4.1]

모델 경량화를 위한 전략 중 하나는 불필요한 변수를 제거하여 모델의 복잡성을 줄이고 추론속도를 가속화하는 것이다. [2.4.2] 이 과정에서 Sensitivity Analysis가 중요한 역할을 한다. Sensitivity Analysis는 다양한 입력 변수들이 모델 출력에 미치는 영향을 평가하여, 결과에 가장 큰 영향을 주는 변수를 식별하는 방법으로, 이를 통하여 필요한 변수만을 선택함으로 모델의 효율성을 증대할 수 있다.

본 논문에서는 Sensitivity Analysis 방법들 중 Boruta Algorithm을 사용하였다. Boruta Algorithm은 어떤 변수들이 모델 예측에 실질적인 영향을 미치는 지 명확하지 않을 때 사용하면 좋은 방법이다. Boruta Algorithm은 Random Forest를 기반으로 하며, 이를 통해 변수들의 중요도를 정량적으로 평가한다. 본 방법론에서는 먼저 데이터셋에 존재하는 모든 변수들과 그들을 무작위로 섞은 복사본을 함께 사용하여 Random Forest를 학습시키고, 훈련된 모델을 통해 각 변수의 중요도를 평가하여 실제로 중요한 변수들을 선별하는 방법이다. [ 2.4.3]

제3장 데이터 수집 및 모델 학습

본 논문에서 LSTM을 위한 데이터 셋을 제작하기 위하여 CarMaker 11.2ver을 사용하였다. CarMaker는 IPG사에서 개발한 차량용 가상환경 시뮬레이션으로 다양한 차량과 주행 시나리오를 지원한다.

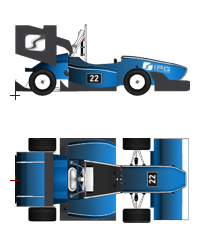
## 3.1 차량 설정

차량은 학생용 Fomula차량 모델을 사용하여 CarMaker 상에서 Custom Vehicle을 제작하였다. 차량의 상세 스펙은 Table 3.1과 같다. 타이어는 CarMaker에서 제공하는 FS\_205\_50R13모델을 사용하였다.

[Table. 3.1 Vehicle’s Spec]

|  |  |  |  |
| --- | --- | --- | --- |
| Name | Value | Name | Value |
| Mass [kg] |  | Stiffness of Front Spring [N/m] |  |
| Length of Body [m] |  | Stiffness of Rear Spring [N/m] |  |
| Width of Body [m] |  | Damping of Front [m/s] |  |
| Height of Body [m] |  | Damping of Rear [m/s] |  |
| Moment of Inertia x [kgm2] |  | Moment of Inertia Motor [kgm2] |  |
| Moment of inertia y [kgm2] |  | Max Motor Torque [Nm] |  |
| Moment of inertia z [kgm2] |  | Gear Ratio |  |

[Fig. 3.1 Custom Vehicle]



## 3.2 데이터 수집 및 선정

주행 데이터를 수집하기 위해 평지 아스팔트 도로 위에서 차량의 속도(0-100km/h)와 조향각(-45 – 45 deg)을 다양하게 조정하며 10ms 주기마다 데이터를 저장하였다. 날씨가 변함에 따라 달라지는 타이어의 특성을 모두 고려할 경우 예측 성능을 향상시키기 위해 큰 모델이 필요하다. 그러나 이는 목표 대상인 학생용 Formula 차량에는 적합하지 않으므로, 이상적인 맑은 날씨를 기준으로 데이터를 수집하였다. 초기에 선정한 데이터는 IMU로 측정 가능한 x, y, z 축 가속도, Yaw, Roll, Pitch 속도와 차량 제어에서 수집 가능한 각 모터의 현재 토크, 차량 속도, 조향각 총 9개를 선정하였다. 여기서 LSTM 모델의 축소를 위해 모델 결과에 영향력이 낮은 변수들을 제외하기로 하였고, 이를 위해 Boruta 알고리즘을 사용하였다. 총 100번의 Boruta 알고리즘 실행 결과, 낮은 영향도를 보인 x, z 축 가속도와 Pitch 속도를 제외한 9개의 변수를 최종적으로 사용하였다. 이렇게 선정한 데이터들의 5초 동안의 시계열 데이터를 입력 값으로 하고 5초가 되었을 때의 를 결과 값으로 데이터 셋을 구성하였다. 또한 분포가 다양한 학습 데이터들에 의해 학습 효과가 떨어질 수 있으므로 입력 변수들의 최댓값과 최솟값을 찾아 Min-Max Normalization을 진행해주었다.

## 3.3 LSTM model

LSTM 모델을 학습하기 위해 Python의 pytorch를 사용하여 모델의 크기에 따른 성능 변화를 알아보기 위해 LSTM Layer를 1개랑 2개 사용하는 경우에 대해 hidden size를 10~30까지 변화시키고 결과 값을 도출하기 위하여 Fully Connected Layer [hidden size, 1]을 추가하여 학습을 진행하였다. Hyper Parameters로 Batch size는 256, Epoch는 500으로 학습을 진행하였다. Learning Rate를 1e-3에서 시작하여 100 epoch와 400 epoch에서 0.1배씩 낮추어 Local Minimum에 빠지지 않도록 하였다. Loss는 Regression Model에서 많이 사용하는 MSE Loss를 사용하였고, optimization은 ADAM을 사용하였다.

딥 러닝 모델에서 수행되는 계산량을 측정하는 한 방법으로, 사칙연산을 포함하여 얼마나 많은 계산이 진행되었는지 FLOPs(Floating Point Operations)라는 단위를 사용한다. 사용한 모델의 FLOPs 계산 식은 3.1와 같다. 각 항의 의미는 다음과 같다. 는 각 Gate들을 통해 이루어지는 계산을 나타낸다. 는 Sigmoid와 Tanh 함수에 의해 발생하는 계산량을 의미한다. 는 이전 Cell State와 현재 gate에서 출력된 값으로 Cell State를 업데이트 하는 계산을 나타낸다. 마지막으로 는 Fully Connected Layer에서 발생한는 계산을 의미한다.

Table 3.2는 FLOPs와 Pytorch에서 제공하는 Profile 기능을 통해 한번 Estimation을 하는 동안 걸린 CPU 시간을 정리한 표이다.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
| Hidden Size | Layer | Flops | CPU Time | Hidden Size | Layer | Flops | CPU Time |
| 10 | 1 |  |  | 21 | 1 |  |  |
| 2 | 2 |
| 11 | 1 |  |  | 22 | 1 |  |  |
| 2 | 2 |
| 12 | 1 |  |  | 23 | 1 |  |  |
| 2 | 2 |
| 13 | 1 |  |  | 24 | 1 |  |  |
| 2 | 2 |
| 14 | 1 |  |  | 25 | 1 |  |  |
| 2 | 2 |
| 15 | 1 |  |  | 26 | 1 |  |  |
| 2 | 2 |
| 16 | 1 |  |  | 27 | 1 |  |  |
| 2 | 2 |
| 17 | 1 |  |  | 28 | 1 |  |  |
| 2 | 2 |
| 18 | 1 |  |  | 29 | 1 |  |  |
| 2 | 2 |
| 19 | 1 |  |  | 30 | 1 |  |  |
| 2 | 2 |
| 20 | 1 |  |  |  |  |  |  |
| 2 |  |

[Table. 3.2 LSTM Model Computational Cost]

4.3

제4장 SMC 제어 시뮬레이션

Reference

[1] Popp, D. (Ed.). (2023). *Fit for 55: Zero CO2 Emissions for New Cars and Vans in 2035.* European Parliament. https://www.europarl.europa.eu/news/en/press-room/20230210IPR74715/fit-for-55-zero-co2-emissions-for-new-cars-and-vans-in-2035

[2] 윤정원, 방정환, 고용호, 유세훈, 김준기, & 이창우. (2014). 전기자동차용 고신뢰성 파워모듈 패키징 기술. *마이크로전자 및 패키징학회지*, 21(4), 1-13.

[3] 고상춘, 장우진, 정동윤, 박영락, 전치훈, & 남은수. (2014). 자동차용 WBG 전력반도체 및 전력변환 모듈과 ETRI GaN 소자 기술. *전자통신동향분석*, 2014(12), 53-62.

[4] Jeon, J., Seong, J., Lim, J., Kim, M. K., Kim, T., & Yoon, S. W. (2020). Finite element and experimental analysis of spacer designs for reducing the thermomechanical stress in double-sided cooling power modules. *IEEE Journal of Emerging and Selected Topics in Power Electronics*, 9(4), 3883-3891.

[5] Millan, J., Godignon, P., Perpiñà, X., Pérez-Tomás, A., & Rebollo, J. (2013). A survey of wide bandgap power semiconductor devices. *IEEE transactions on Power Electronics*, 29(5), 2155-2163.

[6] Sheng, W. W., & Colino, R. P. (2004). *Power electronic modules: design and manufacture.* CRC press.

[7] Cao, X., Wang, T., Ngo, K. D., & Lu, G. Q. (2010). Parametric study of joint height for a medium-voltage planar package. *IEEE Transactions on Components and Packaging Technologies*, 33(3), 553-562.

[8] Haque, S., Xing, K., Lin, R. L., Suchicital, C. T., Lu, G. Q., Nelson, D. J., ... & Lee, F. C. (1999). An innovative technique for packaging power electronic building blocks using metal posts interconnected parallel plate structures. *IEEE Transactions on Advanced Packaging*, 22(2), 136-144.

[9] Sun, P., Niu, F., Zeng, Z., Li, K., & Ou, K. (2023). FEA-Dominant Reliability and Lifetime Model of Double-Sided Cooling SiC Power Module. *IEEE Transactions on Device and Materials Reliability.*

[10] *Products*. (n.d.). Infineon Technologies AG. https://www.infineon.com/

[11] ECPE (European Center for Power Electronics e.V.). (2021). *Aqg 324: Qualification of Power Modules for Use in Power Electronics Converter Units in Motor Vehicles* (Tech. Rep., Ed. 03.1). ECPE Guideline.

[12] Zhang, Z., Zhang, J., Xu, J., Ngo, K. D., Lu, G. Q., Cousineau, E., ... & Narumanchi, S. (2021, August). Packaging of an 8-kV silicon carbide diode module with double-side cooling and sintered-silver joints. In 2021 *IEEE Electric Ship Technologies Symposium (ESTS)* (pp. 1-7). IEEE.

[13] Cao, X., Lu, G. Q., & Ngo, K. D. (2012). Planar power module with low thermal impedance and low thermomechanical stress. *IEEE Transactions on Components, Packaging and Manufacturing Technology*, 2(8), 1247-1259.

[14] Poller, T., & Lutz, J. (2010, September). Comparison of the mechanical load in solder joints using SiC and Si chips. In *10th International Seminar on Power Semiconductors ISPS.*

[15] Li, H., Munk-Nielsen, S., Wang, X., Maheshwari, R., Bęczkowski, S., Uhrenfeldt, C., & Franke, W. T. (2015). Influences of device and circuit mismatches on paralleling silicon carbide MOSFETs. *IEEE Transactions on Power Electronics*, 31(1), 621-634.

[16] Langpoklakpam, C., Liu, A. C., Chu, K. H., Hsu, L. H., Lee, W. C., Chen, S. C., ... & Kuo, H. C. (2022). Review of silicon carbide processing for power MOSFET. *Crystals*, 12(2), 245.

ABSTRACT

**Comparative Study on Vertical-Stacking Structure of Double-Sided Cooling Power Module for Thermal Stress Reduction**

**considering Unbalanced Heat Spreading Ratio**

Seunghyun Won

Dept. of Automotive Engineering

(Automotive-Computer Convergence)

Graduate School of Hanyang University

Under various environmental policies and regulations, automakers are rushing to preempt the development and supply market of eco-friendly cars. For the development of EV, many studies are underway to increase the power density of the power conversion system.

Wide Bandgap (WBG) semiconductor devices contribute greatly to achieving this goal, and features such as high voltage and miniaturization compared to conventional Si semiconductor devices enable high power density by parallelizing many semiconductor devices within a limited power module size. In addition, Double-Sided Cooling (DSC) power modules show low thermal resistance, enabling high output, thereby achieving higher power density.

However, increasing the power density within a limited power module size can cause thermal problems. This thermal problem adversely affects the reliability of power modules made by stacking heterogeneous materials with different coefficient of thermal expansion (CTE).

Therefore, this paper studied thermal stress reduction method of a vertical stacked structure in DSC. Three models of SC, SCS, and CS were proposed by changing the stack order of chip, bonding layers, and spacers within the constraints of using only the conventional structure and materials and then were compared and analyzed through finite element analysis (FEM)simulation and experiments.

As a result of thermal analysis, as the spacer contact area increased, the lower Tj.max values were shown in the order of SC, SCS, and CS models, in particular, the SCS model with the semiconductor chip in the middle showed excellent results in terms of balance between Rth, j-c.btm and Rth, j-c.top.

In addition, in consideration of the possibility of fabrication, analysis was conducted on SC and SCS models. As a result of thermal stress analysis, the SCS model effectively improved the thermal stress of the most vulnerable solder layer in the DSC structure. The cause was analyzed to be in thermal dissipation ratio balance.

Samples of the SC and SCS models were produced, and thermal resistance of the upper and lower surfaces was measured under the same conditions as the simulation. The validity of the simulation was verified by showing similar results and trends.

It was confirmed that the SCS model considering the imbalance of the heat dissipation ratio proposed in this study are effective in improving the thermal stress. These results were confirmed to be effective in solving the decrease in reliability due to the thermal problem.